

キーボード・ディスプレイ
コントロール LSI
SSK82C79
データブック

(最終ページに鉛フリー製品の説明が追加されています)



〒 630-8115 奈良市大宮町 1-6-19 森村第 1 ビル
TEL 0742-36-1190 FAX 0742-35-4490

目次

第 1 章概説 -----	1
1 - 1) はじめに -----	1
1 - 2) SSK82C79 の主な機能・特徴 -----	1
第 2 章入出力信号 -----	2
2 - 1) SSK82C79 端子配列 -----	3
2 - 2) SSK82C79 端子機能 -----	3
【 1 】 CLK -----	3
【 2 】 RESET -----	3
【 3 】 CS# -----	3
【 4 】 A0 -----	3
【 5 】 RD# -----	3
【 6 】 WR# -----	3
【 7 】 DB0-7 -----	4
【 8 】 IRQ -----	4
【 9 】 SL0-3 -----	4
【 10 】 RL0-7# -----	4
【 11 】 SHIFT -----	4
【 12 】 CNTL/STB -----	4
【 13 】 OUTB0-3, OUTA0-3 -----	4
【 14 】 BD# -----	4
第 3 章命令 -----	5
Com.0】モードセット -----	5
Com.1】プログラム・クロック -----	5
Com.2】センサー RAM 読出しアドレス設定 -----	6
Com.3】表示 RAM 読出しアドレス設定 -----	6
Com.4】表示 RAM 書込みアドレス設定 -----	7
Com.5】表示制御 -----	7
Com.6】クリア命令 -----	8
Com.7】割り込み終了命令 -----	8
第 4 章 SSK82C79 の動作 -----	9
4 - 1) CPU インターフェース -----	9
4 - 2) タイミング -----	9
4 - 3) キーデータ読み込み -----	11
4-3-1) 走査キーボード 2 キーロックアウト -----	11
4-3-2) 走査キーボード N (4) キーロールオーバー -----	11
4-3-2-1) 特殊エラーモード -----	11
4-3-3) センサー・マトリックス・モード -----	12
4-3-4) ストロープ入力モード -----	12
4-3-5) FIFO の読み出しとステータス・レジスター -----	13
4 - 4) 表示データ -----	14
4-4-1) 左値数 -----	14
4-4-2) 右値数 -----	14
4-4-3) 16 桁表示 -----	14
4-4-4) 8 桁表示 -----	14
4-4-5) 4 桁表示 -----	14
4 - 5) SSK82C79 使用上の注意 -----	15
4-5-1) 高速プロセスの影響 -----	15
4-5-1-1) 立ち上がり・下がりのリングング -----	15
4-5-1-2) 誘導信号 -----	16
4-5-2) RL0-7# の入力レベル -----	16
4-5-3) Com.2 による FIFO の誤動作 -----	17
4-5-3) Com.2 による FIFO の誤動作 -----	18
第 5 章電気特性 -----	19
5 - 1) 最大定格 -----	19
5 - 2) DC 電気特性 -----	19
5 - 3) 入力容量 -----	19
5 - 4) AC 電気特性 -----	20
5-4-1) Read Cycle -----	20
5-4-2) Write Cycle -----	20
5-4-3) Other Timings -----	20
5 - 5) 外形図及びはんだ付け条件 -----	22
5 - 6) 回路例 -----	24

Rev. 1.2----- 1998年 8月

Rev. 1.3----- 2009年 3月 P25追加

Rev. 1.4----- 2009年 4月 図 5-7) 変更

第 1 章 概説

1 - 1) はじめに

SSK82C79 は業界標準のキーボード / ディスプレイ・インターフェース・デバイス I8279 とコンパチブルな LSI です。8 ビット CPU バスに直結し、最大 64 + 2 接点のキーボードと、16 桁 × 8 ビットの表示を制御します。

弊社の既存のキーボード / ディスプレイ制御 LSI SSK814/830 はキー・ディスプレイの近くに制御 LSI を置き、ホスト CPU とはシリアル通信で接続するというコンセプトで、I8279 と共存してきました。

大手メーカーが I8279 の出荷を停止してきたため、やはり CPU バスに直接搭載したキーボード / ディスプレイ制御 LSI も欲しいというユーザーの声が大きく、弊社で新たにコンパチブルな LSI を開発することにしました。

ただ、オリジナル・チップの内部仕様(回路図やマスク情報)を入手したわけではなく、公表されている複数のメーカーのデータブックや、実物の信号をチェックして仕様を取りまとめ、弊社で独自に設計したものです。

プロセスは最新の CMOS のゲートアレー技術を使っており、電気特性は従来のものより改善されています。

1 - 2) SSK82C79 の主な機能・特徴

- 1) キーボード接点数 ----- 8 × 8 = 64 + 2 (CNTL + SHIFT)
- 2) 入力 FIFO ----- 8 バイト
- 3) キーアクセス ----- 2 キーロックアウト、N キーロールオーバー
- 4) その他の入力 ----- センサーマトリックス、ストロブ入力
- 5) 表示桁数 ----- 8 × 16 桁 = 128
- 6) 電源電圧範囲 ----- 5V ± 10%
- 7) 動作温度 ----- - 40 ~ + 85
- 8) パッケージ ----- QFP 44 Pin
- 9) その他の特徴

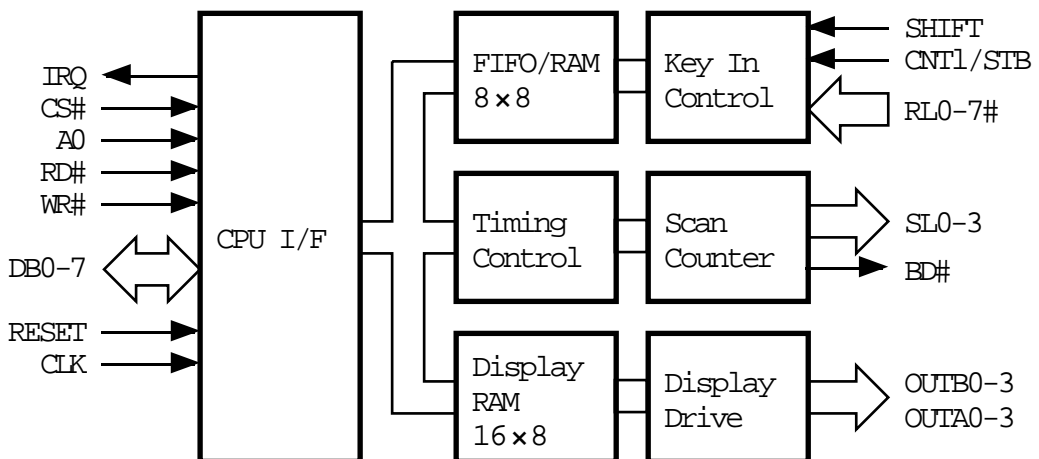
入力信号は全てヒステリシス入力で、ノイズに強くなっています。

RL0-7# 入力は CMOS レベル・ヒステリシス入力で、ノイズマージンが大きくなっています。

出力ローレベル・シンク電流は 9mA (Min) で既存製品の 4 倍有ります。

CPU アクセス・タイムは 50n 秒 (Max) と既存製品の 2 倍以上高速です。

図 1-1) SSK82C79 ブロック図



第 2 章 入出力信号

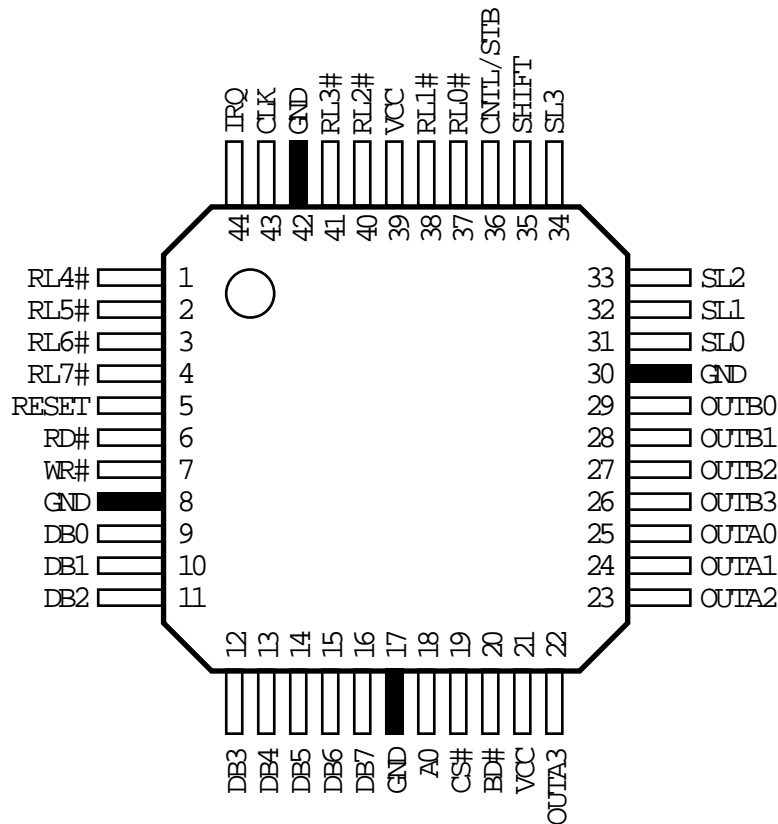
2 - 1) SSK82C79 端子配列

図 2-1) で SSK82C79 のピン配列を示します。

SSK82C79 はプラスチック QFP 44 Pin パッケージに入っています。I8279 と信号順番は合わせ、パターンの変更が簡単にできるようになっています。

追加の 4 Pin は電源関係強化に使っており、グランドは 4 本、VCC ラインは 2 本持っています。これらは全て電源ラインになるべく太い線で接続し、複数の積層セラミックコンデンサでバイパスしてください。

図 2-1) SSK82C79 ピン配列



2 - 2) SSK82C79 端子機能

信号名にCS#のように"#"マークがついていれば、低レベルがアクティブな負論理信号を示します。その他は正論理信号を示します。

電圧レベルの高低にかかわらず、信号がアクティブであることを示すのに「アサート」、信号が非動作であることを示すのに「ネゲート」という言葉を使います。

【 1 】 CLK [43]----- IN

内部タイミング信号を作り出すため、システムから入力するクロック信号です。

内部基準クロックを 100KHz とするために、CLK 入力を[Com.1]プログラムクロックで 2-31 分周します。

例えば、CLK に 3MHz のクロックを入力し、[Com.1]に30をセットすることで、内部基準クロックを100KHzとします。

CS# 等の CPU 側インターフェース信号は、CLK とは全く非同期に動作します。

【 2 】 RESET [5] ----- IN

High レベルにすることで、SSK82C79 は初期状態にセットされます。

その時の内部状態は図 2-2) に示します。

RESET アサート中は内部タイミング・カウンタもクリアされます。RESET をネゲートになるとすぐにカウントを始めます。

【 3 】 CS# [19]----- IN

チップセレクト信号です。通常 CPU の上位アドレスをデコードし、Low 入力で SSK82C79 をアクセスします。

【 4 】 A0 [18]----- IN

通常 CPU の最下位アドレスを入力し、下のようデータ・命令を切り替えます。

0 : 表示データの書き込み。

キー・表示データの読み出し。

1 : 命令データの書き込み。

ステータスデータの読み出し。

【 5 】 RD# [6] ----- IN

読み出しストローク信号です。Low にすることによって、キー・表示データ又はステータスデータを読み出すことができます。

【 6 】 WR# [7]----- IN

書き込みストローク信号です。Low にすることによって、表示データ又は命令データを書き込むことができます。

なお、CS#, A0, RD#, WR# 信号全てが Low になると、SSK82C79 はテストモードとなり、本来と全く違う信号が入出力される可能性があります。リングング等の極短時間でも、このようにならないように気をつけてください。

図 2-2) リセット直後の状態

Com.0	01000	16 × 8 表示、左置数、エンコード走査、2 キーロックアウト
Com.1	11111	分周比 = 31
Com.2	1X000	センサ RAM アドレス = 0、Auto Increment
Com.3	10000	表示 RAM 読み出しアドレス = 0、Auto Increment
Com.4	10000	表示 RAM 書き込みアドレス = 0、Auto Increment
Com.5	X0000	Display RAM Not Write Inhibit、Not Blank Out
Com.6	00000	クリア命令無し、Blank Code Not Set
Com.7	0XXXX	リセットしない
FIFO Status	00000000	FIFO = 0, Error = 0
IRQ	0	割り込み出力 = 0
Data Read		Key FIFO Data Mode
Write Data		Display RAM Address = 0
Display RAM		不定
FIFO RAM		不定

【 7 】 DB0-7 [9-16] ----- I/O

CPU とデータをやり取りする 8 ビット幅の双方向データバスです。

CS# がアサートしてており、RD# がアサートされると SSK82C79 から CPU へ、WR# がアサートされると CPU から SSK82C79 へデータ転送が行われます。

CS# がネゲートされるとハイ・インピーダンス状態となり、バスと切り離されます。

【 8 】 IRQ [44] ----- OUT

CPU への割込み要求信号です。IRQ がアサート/ネゲートされる条件を下に示します。

1) キー入力・ストロブ入力モードでデータが入力して、FIFO にデータが入ったときアサートされます。

CPU が FIFO データを読み出すタイミングでネゲートされます。データを読み出しても FIFO にデータが残っていると、IRQ は再びアサートします。FIFO が空になるとネゲートしたままとなります。

2) キー入力 N キーロールオーバー時、Com.7 エラーモードセットで E = 1 を書き込んだ特殊エラーモードになり、1 デバウンスサイクルに複数のキーが ON になったとき、特殊エラーとして、IRQ がアサートします。

FIFO ステータス・クリア命令 (CF, CA) で IRQ はネゲートされます。

3) センサー・マトリックス・モードで 64 キーのうち 1 キーでも変化すれば、そのスキャンの終わりで IRQ をアサートします。

Com.7 エンドインターラプト命令の書込みで、IRQ はネゲートされます。

【 9 】 SL0-3 [31-34] ----- OUT

キースイッチ・センサーマトリックス入力や、表示桁を走査する信号出力です。

4 ビットで 8 or 16 桁のエンコード信号を、又は 4 桁のデコードされた信号を出力します。

【 10 】 RL0-7# [37,38,40,41,1-4] ----- IN

キー・センサーマトリックス入力のリターン信号や、ストロブ・データ信号入力ピンです。内部に標準 50K のプルアップ抵抗を持っています。

18279 の説明書では負論理マークが入っていませんが、実際、入力が Low の負論理入力で ON と認識されるため "#" マークを付けています。

SSK82C79 では RL0-7# 入力は CMOS レベルのシュミット入力としています。そのため、オリジナルよりノイズマージンが大きくなっています。

【 11 】 SHIFT [35] ----- IN

キースイッチ入力モードで、キーコード・ビット 6 に直接反映される、入力信号です。通常シフト・キーとして使います。内部に標準 50K のプルアップ抵抗を持っています。

SHIFT 入力は入力レベルが、そのまま正論理でビット 6 に出力されます。キーが ON して、Low レベルが入ったとき、ビット 6 に 0 が出力されます。

【 12 】 CNTL/STB [36] ----- IN

キースイッチ入力モードで、キーコード・ビット 7 に直接反映される、入力信号です。通常コントロール・キーとして使います。内部に標準 50K のプルアップ抵抗を持っています。

CNTL 入力は入力レベルが、そのまま正論理でビット 7 に出力されます。キーが ON して、Low レベルが入ったとき、ビット 7 に 0 が出力されます。

ストロブ入力モードでは、RL0-7# 入力のラッチ・クロックとなります。STB Low レベルでデータを読み込み、High への立ち上がりで FIFO に取り込みます。

【 13 】 OUTB0-3, OUTA0-3 [29-22] OUT

表示のための 8 ビットデータ出力です。

4, 8, or 16 種類のデータを SL0-3 と同期して、時分割で出力します。また、SL0-3 の切り替り時にはブランクコードを出力し、表示の乱れを防ぎます。

これは、2 本の 4 ビットコードと見ることもでき、4 ビット単位で書込みやブランク制御をすることもできます。OUTB0-3 がデータバスの下位 4 ビット、OUTA0-3 が上位 4 ビットに相当します。

【 14 】 BD# [20] ----- OUT

表示出力がブランクであることを示す信号です。

SL0-3 の切り替り時、及び OUTB0-3, OUTA0-3 の 8 ビット全部がブランクモードのとき、Low になってブランクであることを示します。

第 3 章 命令

CS# = 0, A0 = 1 で WR# = 0 からの立ち上がりエッジで、CPU からの命令データを記憶します。

DB0-7の 8 ビットデータは、上位 3 ビットで 8 本の 5 ビットレジスターを選択し、書き込むことになります。

ここで、上位 3 ビットの番号を基に、Com.0-7の番号をつけ、ビット単位で設定データを説明します。なお、"*" マークはリセット直後の初期設定値を示します。

命令データは書き込み専用で、読み出すことはできません。

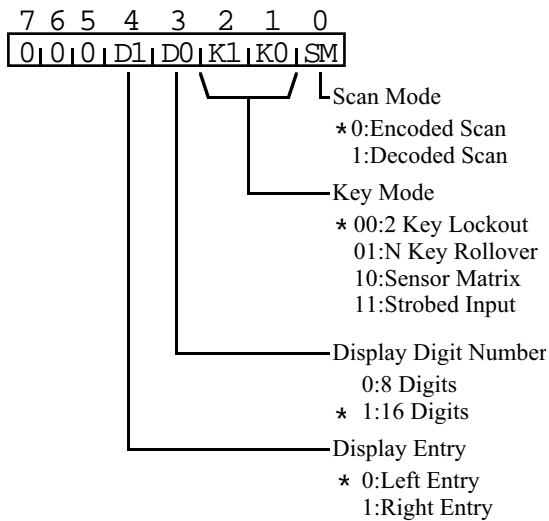
Com.0】モードセット

表示モード、キー入力モード及びSL0-3の出力モードの設定を行います。

エンコードモードでは SL0-3 で $2^4 = 16$ 桁、又は 8 桁の表示、及び 8 行のキー読み込みを行います。デコードモードは 4 桁の表示、4 行のキー読み込みを行います。

リセット直後は「16 × 8 表示、左置数、エンコード走査、2 キーロックアウト」に設定されます。

図 3-1) Com.0 ビット・セット



Com.1】プログラム・クロック

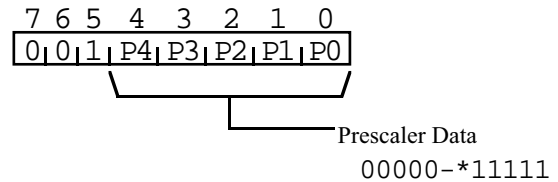
内部基準クロックを造るため、CLK 入力を分周するプリスケアラの分周比を設定します。

内部基準クロックは標準 100KHz をつくり、10.24 m 秒のキーデバウンス時間や表示走査時間を作り出します。

5 ビットのプリスケール値 P4-0 は 2^{31} の値を設定することができ、最高 3.1 MHz の CLK 入力をサポートすることになります。P4-0 に 0 or 1 のデータを書き込んだ時は 2 に設定されます。

RESET 入力後の初期値としては 31 がセットされます。クリア・コマンド等の他の命令ではこの値は変わりません。

図 3-2) Com.1 ビット・セット



Com.2) センサー RAM 読出しアドレス設定

センサー・マトリックスモードのとき、センサーRAMのデータ読出しアドレスを設定します。

1度設定すると、データ読出しの度に設定する必要は有りません。

A2-0の3ビットで8行のセンサーRAMアドレスを設定し、次のデータ読出しでセンサーRAMデータを読み出します。

デコードモードではA2の値は無視されます。

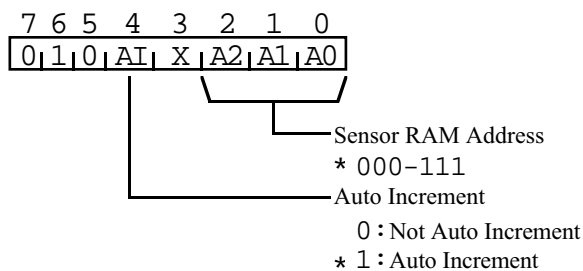
AIビットが1であれば、センサーRAM読み出しでアドレスをインクリメントし、連続したアドレスのデータを次々に読み出すことができます。

キー読み込み・ストローブ入力の場合はセンサーRAMはFIFOとして働き、設定データは意味を持ちません。

どのモードであっても、Com.3命令で表示RAM読み出しモードに設定されていたとき、Com.2命令でセンサーRAM or FIFO RAMデータ読出しモードに切り替えます。

Com.2の設定データはCom.3の設定データに、及びその逆方向にも、影響は及ぼしません。

図 3-3) Com.2 ビット・セット



Com.3) 表示 RAM 読出しアドレス設定

表示データを読み出すためのアドレスを設定します。

1度設定すると、データ読出しの度に設定する必要は有りません。

A3-0の4ビットで16桁の表示RAMアドレスを設定し、次のデータ読出しで表示RAMデータを読み出します。

8桁表示のときはA3の値を、デコードモードではA3, A2の値は無視されます。

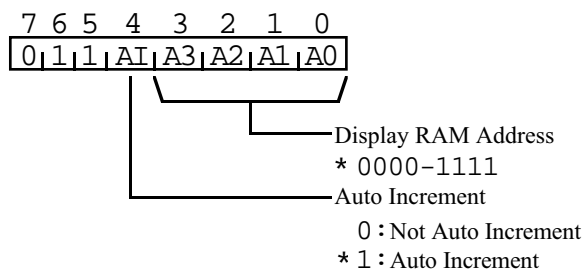
AIビットが1であれば、表示RAM読み出しでアドレスをインクリメントし、連続したアドレスのデータを次々に読み出すことができます。

RESET直後はデータ読出しを行なうと、センサーRAM or FIFO RAMのデータ読出しになっています。Com.3はこれを表示RAM読み出しモードに変更する機能も持っています。

Com.3の設定データはCom.4のA3-0, AIと同じレジスターに設定されます。Com.3, Com.4への設定値は、各々そのまま相手に影響を及ぼします。

Com.3の設定データはCom.2の設定データに、及びその逆方向にも、影響は及ぼしません。

図 3-4) Com.3 ビット・セット



Com.4】表示 RAM

書き込みアドレス設定

表示データを書き込むためのアドレスを設定します。

1度設定すると、データ書き込みの度に設定する必要は有りません。

A3-0の4ビットで16桁の表示RAMアドレスを設定し、次のデータ書き込みで表示RAMデータを書き込みます。

8桁表示のときはA3の値を、デコードモードではA3, A2の値は無視されます。

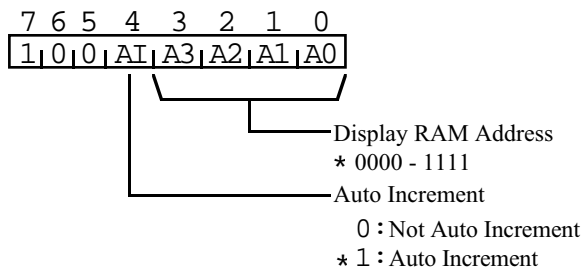
AIビットが1であれば、表示RAM書き込みでアドレスをインクリメントし、連続したアドレスにデータを次々と書き込むことができます。

Com.4は読み出しモードの切り替えには影響しません。すなわち、Com.3命令が設定されない限り、データ読み出しでキーコードを読み込み、データ書き込みで表示RAMへの書き込みを行なうこととなります。

Com.4の設定データはCom.3のA3-0, AIと同じレジスターに設定されます。Com.3, Com.4への設定値は、各々そのまま相手に影響を及ぼします。

Com.4の設定データはCom.2の設定データに、及びその逆方向にも、影響は及ぼしません。

図 3-5) Com.4 ビット・セット



Com.5】表示制御

表示データ8ビットを、2つの4ビット単位にして、RAMへの書き込み禁止、及びブランク制御をしています。

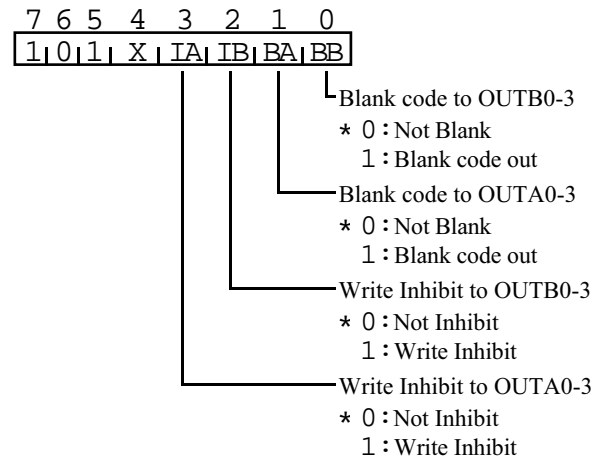
BA/BBを1に設定すれば、上/下位各4ビット出力に対して、ブランクコードを出力します。ブランクコードはクリア命令(Com.6)のCD1,0で指定した値です。

ここで、ブランクに設定しても表示RAMの値には影響を与えません。OUT0-7の出力がブランクコードに変わるだけです。再びブランクOFFにしたら、以前の表示データが、そのまま出力されます。

BA, BB双方を1にして、8ビット全てブランクにしたら、BD#出力を全時間アサートし、外部回路にもブランクであることを知らせます。

IA/IBを1に設定すれば、上/下位各4ビットに対して、書き込みを禁止します。4ビットデータとしたとき、他方の4ビットに影響を与えずに、8ビットバス(DB0-7)を通して書き込むことができます。

図 3-6) Com.5 ビット・セット



Com.6】クリア命令

Bit 4 : CD = 1 で書き込むと、D1, D0 で示すブランクコードを表示RAMの全エリアに書き込みます。以前の表示RAMデータは全て消去されます。

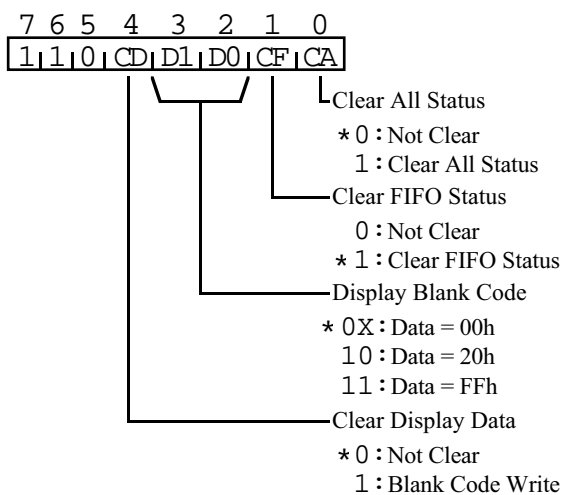
実際の表示RAMへの書き込みは、クリア命令の書き込みのWR#の立ち上がりから、4 CLK時間かかります。その間ステータスのBit 7 : DUは1となります。この時間はオリジナル (I8279) より、かなり短いものと思われれます。

Bit 1 : CF = 1 で書き込むと、その他のステータスをクリアします。その項目を列挙すると、次の通りとなります。

- 1) FIFOカウンタをクリします。その結果、ステータスのビット5-0は0クリアされ、FIFOに残っていたデータはクリアされる状態になります。
- 2) マトリックス・モードであればセンサーRAMポインタは0となります。すなわちCom.2で設定されたアドレスは0になります。なお、Com.2で設定されたAIビットはクリアされず、そのまま残ります。
- 3) ステータスのビット6 S/Eも0クリアされます。これは、Nキーロールオーバーの特殊エラーモードのエラー、又はマトリックス・モードで、センサー・スイッチが1つでもONであれば1になるビットです。以上、ステータスのビット6-0は全て0クリアされません。

Bit 0 : CA = 1 で書き込むと、CD と CF が共にセットされたのに加えて、内部カウンタのリセットも行ないます。

図 3-7) Com.6 ビット・セット



Com.7】割込み終了命令

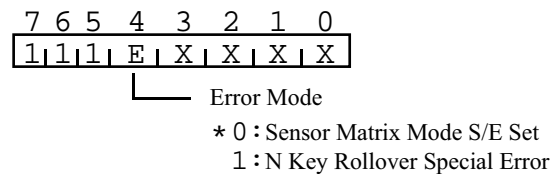
マトリックス・モードでこの命令を書き込むと、IRQ出力をネゲートし、マトリックス・データの読み込みを再開します。

この時 Bit 4 : E = 0 であれば、マトリックスデータの比較のデータ初期設定からやり直します。すなわち1通りのデータ読み込みが終わるまでデータ比較をせず、2回目から1回目のデータと比較を始めます。また、E = 0 でこの命令を書き込んだ後、センサー・マトリックス読み出しで、入力1つでもONがあればステータス Bit6 : S/E を1にします。

E = 1 であれば、読み込みの再開と同時に前のセンサーRAMに記憶されていたデータと比較を始めます。この時、ステータス S/E は常に0のままです。

Nキーロールオーバーモードで、E = 1 にセットすると、1デバウンスサイクルに複数のキーがONになると、エラーとみなし、ステータス Bit6 : S/E を1にして、IRQをアサートし、以降のキー入力を禁止する機能を持ちます。

図 3-8) Com.7 ビット・セット



第 4 章 SSK82C79 の動作

4 - 1) CPU インターフェース

SSK82C79 の CPU 接続は、標準的な 80 系 I/O デバイス I/F にしたがいします。

CPU から見て、CS# = 0, RD# = 0 でデータを読み込み、CS# = 0, WR# = 0 でデータを書き込みます。

内部レジスタ切り換えのためにA0があり、読み込み・書き込み各々に 2 本のレジスタを認識します。

命令データは 8 ビットを 3 + 5 ビットに分け、8 本の 5 ビット命令レジスタとしています。

データ読み込みはキーコード等の入力データと、表示 RAM データの読み出しに分けるため、Com.2, Com.3 の命令を持っています。

CS#, RD#, WR#, A0 全てが 0 の時、テストモードになります。

これらの様子を表 4-1 にまとめました。

表 4-1) SSK82C79 レジスタ

CS#	RD#	WR#	A0	Com.2/3	動作
1	-	-	-	-	Not Select
0	0	1	0	Com.2*	FIFO/RAM Data 読出し
0	0	1	0	Com.3	Display RAM Data 読出し
0	0	1	1	-	Status 読出し
0	1	0	0	-	Display RAM Data 書込み
0	1	0	1	-	Command Data 書込み
0	0	0	0	-	Test Mode

4 - 2) タイミング

SSK82C79 の動作は、CLK 入力信号を元にタイミングを取っています。

CLK 信号はまずプリスケアラに入って、2-31 分周して 100KHz の基準クロックを作ります。プリスケアラの分周比はプログラム・クロック (Com.1) で設定します。CLK 入力 は 200K-3.1MHz の範囲を取ることができることとなります。

基準クロックの 100KHz は大きく変わると、表示やキー読み込みのチャタリング処理に影響が出ます。表示・キーデバウンスサイクルは基準クロックの 1024 倍となります。

表示サイクルは 60Hz より大きくしないとチラツキが気になります。そのため、基準クロックは 60KHz 程度が下限になります。通常、キーのチャタリング時間は 10m 秒程度と言われているため、100KHz 程度が上限になります。

基準クロックを 8 分周して 1 キー入力、それを 8 分周した 640 μ 秒で、1 行分のキー入力及び 1 桁分の表示を行ないます。

表示の桁 (SL0-3) が変わる時、表示データの出力 (OUT0-7) とのタイミングの微少な違いが表示に表れないように、前後にブランク信号 (BD#) をアサートし、ブランクコード (OUT0-7) を出力します。

640 μ 秒を 8 分周した、5.12m 秒がキーを 1 通り読み出すキー・リード・サイクルとなります。

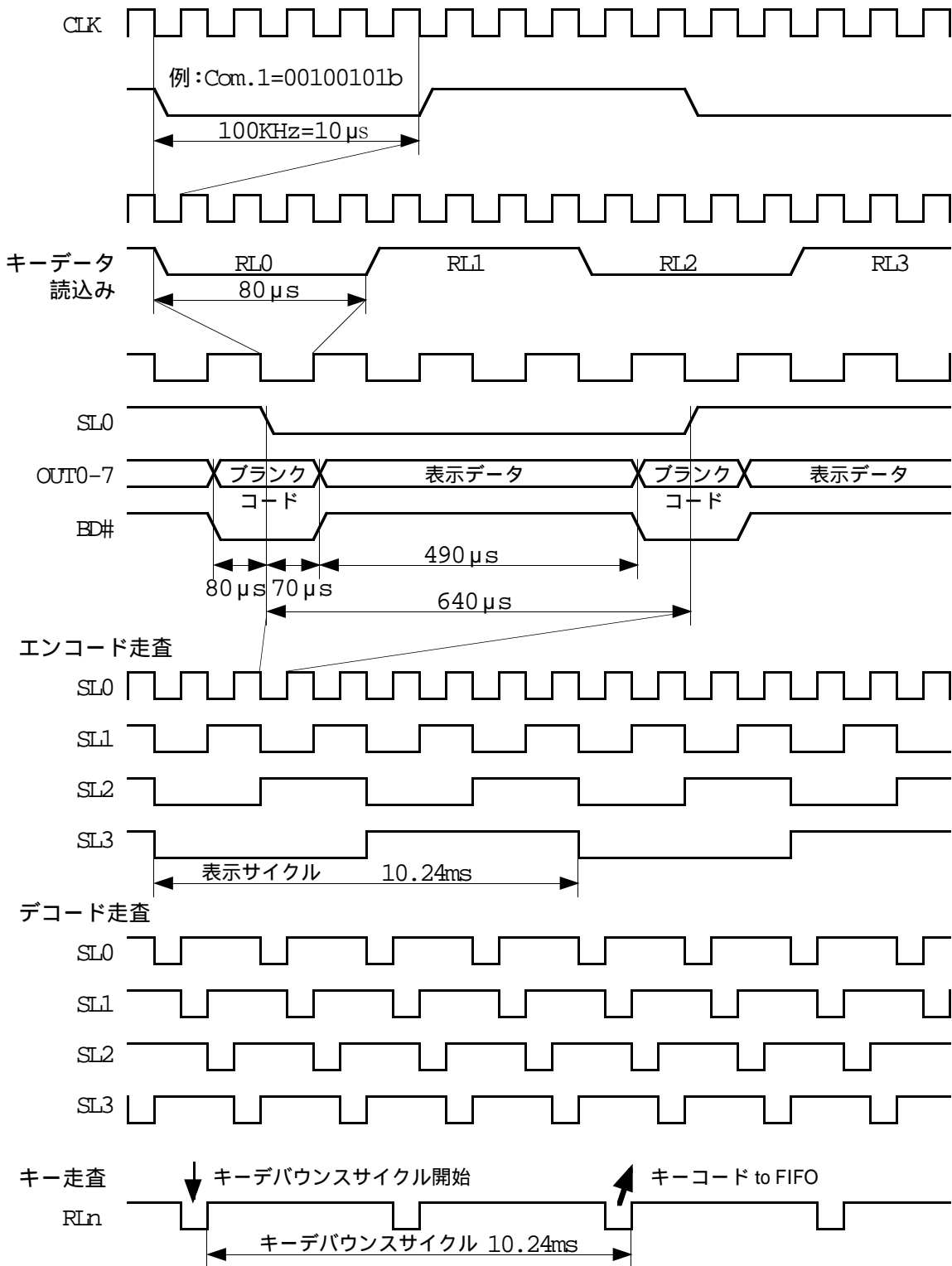
640 μ 秒を 16 分周した、10.24m 秒が 16 桁の表示サイクルとなります。

また 10.24m 秒は、キーのチャタリングをとりのぞきデータを取り込むための時間であり、キー・デバウンス・サイクルともなります。この間に 3 回キーデータを読み込み、3 回とも同じキーが ON であれば、FIFO に取り込むこととなります。

表示桁数が 8 桁のときは、10.24m 秒の間に 2 回同じデータが表示されます。エンコード走査のときは、10.24m 秒の間に 4 回同じデータが表示され、1 桁の表示時間は変わりません。

これらの様子を図 4-1 にまとめました。

図 4.1) SSK82C79 のタイミング信号



4 - 3) キーデータ読み込み

キーデータ読み込み方式は Com.0 の Bit 2,1 : K1, K0
2 ビットで設定します。

4-3-1) 走査キーボード

2 キーロックアウト

1つのキーだけが1デバウンスサイクル(10.24 m秒)
ONであれば、そのキーが有効であると認識し、キー
コードを FIFO に取り込みます。

1デバウンスサイクルに他のキーがONであれば、双
方のキーとも有効とはみなさず、ただ1個のキーのみが
ONになるまで待ちます。また、FIFOに取り込んだキー
が引き続きONであれば、それがOFFになるまで、他
のキー入力を受け付けません。

データコードは下位3ビットにRL0-7#をエンコード
した値、Bit 5-3にSL2-0の値、Bit 6にSHIFT入力、Bit
7にCNTL入力が入ります。

デコードモードのときは $8 \times 4 = 32$ キーだけが有効
です。キーコードのBit 5は必ず0になります。1デバ
ウンスサイクルは10.24 m秒であることに変わりはない
ません。

キーコードの構造はNキーロールオーバーも同じで
す。

4-3-2) 走査キーボード

N (4) キーロールオーバー

Nキーロールオーバーは同時に複数のキー入力を受け
付けます。

各キーに対して1デバウンスサイクルの間ONであ
れば、他のキー入力は関係なく、キーコードをFIFOに
取り込みます。ただし、1デバウンスサイクルには1
キー入力しか受け付けません。同時に複数のキーがON
になった時は、1デバウンスサイクル毎に1つのキー
コードがFIFOに書き込まれることになります。

1度ONになったキーはOFFになるまで、再びキー
コードを転送しないように監視しなければなりません。
そのため、同時入力可能キー数の監視回路が必要とな
り、1度に入力できるキー数に制限がでできます。オリ
ジナルのI8279はここをどのように処理しているのか
不明です。SSK82C79は4回路持ち、最大同時4キー入
力までサポートするようにしました。この値はオリジナ
ルと違う可能性があります。

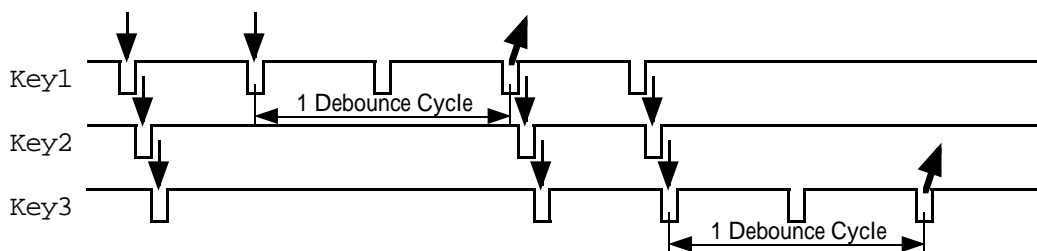
4-3-2-1) 特殊エラーモード

Com.7 Bit4 : E = 1 にセットすると、1デバウンス
サイクルに複数のキーがONになると、エラーとみな
し、ステータス Bit6 : S/E を1にして、IRQをアサート
し、以降のキー入力を禁止します。

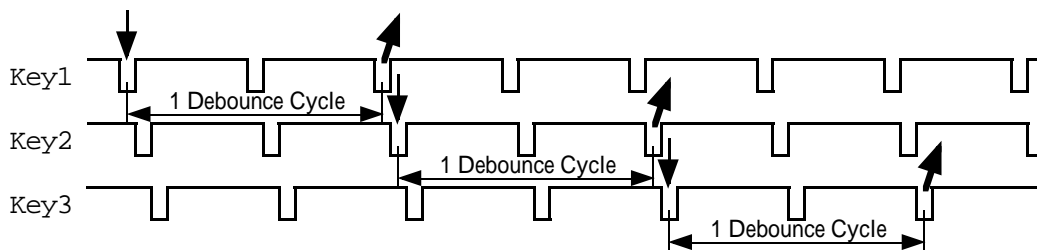
Com.6 Bit 1 : CF or Bit 0 : CA に1を書き込めば、
S/Eを0にして、IRQをネゲートします。

図 4-2) キー読み込みサイクル

2 キーロックアウト



Nキーロールオーバー



↓ デバウンスサイクル開始

↗ データ FIFO へ転送

4-3-3) センサー・マトリックス・モード

センサー入力をセンサーRAMのビットに1対1対応させたものです。

キー・リード・サイクル(5.12m秒)で読み込んだデータは、そのままセンサーRAMに入るため、最短5.12m秒ごとにデータが変わります。デバウンス処理は行ないません。

キー・リード・サイクルが終了した時点で、入力データと1サイクル前のデータが違っていれば、IRQをアサートし、センサー入力を停止します。

ここで、CPUがデータを読み込めば、変化後の新しいデータを読み込むことになります。

センサーマトリックスモードでの典型的な読み込みは Com.2 Bit4: AI = 1 とし、CPUは8回分、全64ビットのデータを読み込み、その後、Com.7 割込み終了命令でIRQをネゲートします。

IRQをネゲートした後、読み込みを再開します。Com.7のBit4:Eの設定によって、再開の仕方が違ってきます。

E = 0であれば、マトリックスデータの比較のデータ初期設定からやり直します。すなわち1回目のデータ読み込みではデータ比較をせず、2回目から1回目のデータと比較を始めます。

E = 1であれば、読み込みの再開と同時に前のセンサーRAMに記憶されていたデータと比較を始めます。

Com.2 Bit4: AI = 0であれば、CPUの1度のデータ読み出してIRQをネゲートし、次のサイクルからセンサー読み込みを再開することになります。この時、読み込みの再開と同時に前のセンサーRAMに記憶されていたデータと比較を始めます。

4-3-4) ストローブ入力モード

CTRL/STB入力を入力クロックとした、RL0-7からDB0-7へのFIFO回路になります。

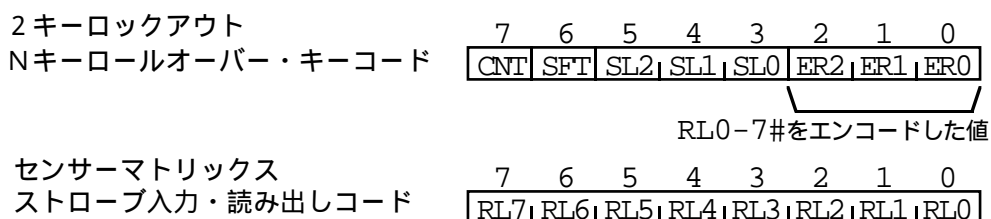
RL0-7入力は0,1反転して、CPUのデータ読み込みで、DB0-7に読み出されます。

デバウンス処理は行ないません。

CTRL/STB入力のLowレベルでラッチし、その立ち上げでFIFOに取り込みます。

図 4-3) SSK82C79 読み出しデータ

CS#=0, RD#=0, A0=0



4-3-5) FIFO の読み出し とステータス・レジスタ

読み込んだキーコード、又はストロブ入力モード時の RL0-7# データは、最大 8 バイトの FIFO レジスタに入ります。

ステータス・レジスタの値は CS# = 0, RD# = 0, A0 = 1 で CPU に読み出されます。ステータス・レジスタの下位 6 ビットは FIFO 関係のステータスです。

ステータスの下位 3 ビット (N2-0) は FIFO に記憶されているバイト数をあらわし、FIFO に入力するたびに 1 ずつアップし、CPU 側から読み出すたび 1 ずつダウンしていきます。

8 バイトの FIFO が満載になると、Bit3 : F に 1 が立ちます。それ以上データを入力しようとする、Bit 5 : O オーバー・ランが 1 になり、そのデータは FIFO に入りません。

FIFO が空 (N2-0 = 0) になのに、CPU 側からデータを読み出そうとすると、Bit 4 : U アンダー・ランが 1 になり、その時のデータは意味を持ちません。

FIFO 関係のステータスは、Com.6 Bit 1 : CF 又は Bit 0 : CA に 1 を書き込むことによって、全て 0 クリアされます。

FIFO にデータが入ると IRQ はアサートし、CPU にデータ読み込み可能であることを知らせます。

CPU が FIFO データを読み出すと、CS#, RD# がアサートしている間 IRQ はネゲートします。FIFO にデータが残っていると、IRQ は再びアサートし、次のデータ読み込みを要求します。FIFO が空になるとネゲートしたままとなります。

Bit 6 : S/E は 2 種類のエラーモードに対応します。

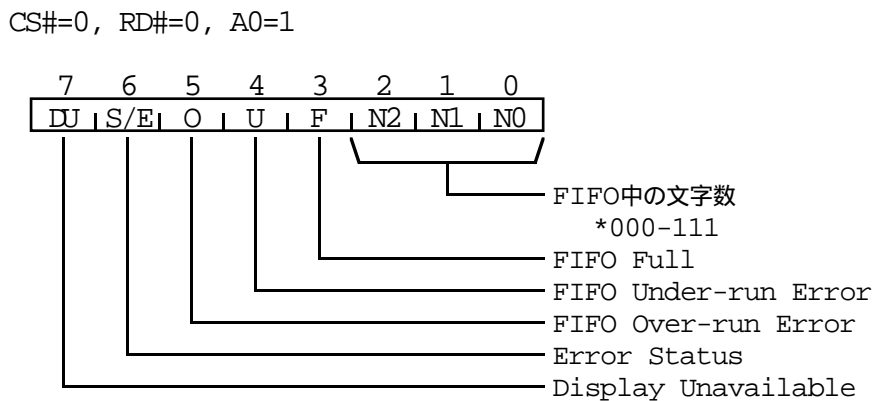
センサー・マトリックス・モードで Com.7 Bit 4 : E = 0 に設定したとき、センサー・スイッチの 1 つでも ON であると、S/E フラグが 1 になります。E = 1 であれば S/E は 1 になることは有りません。

N キーロールオーバーモードで、Com.7 Bit 4 : E = 1 に設定したとき、1 デバウンスサイクル内に 2 個以上のキーが ON であれば、スペシャルエラーとなって S/E フラグが 1 になります。それと同時に IRQ をアサートし、キーコードの FIFO への書き込みを停止します。

S/E は Com.6 Bit 1 : CF 又は Bit 0 : CA に 1 を書き込むことによって、クリアされます。

Bit 7 : DU = 1 は表示 RAM への初期設定データの書き込み中を示します。Com.6 CD = 1 の書き込み命令から 4 CLK 時間 1 となります。CLK が 3 MHz であれば、1.3 μ 秒間 1 であることとなります。この間、表示 RAM への書き込みはできません。

図 4-4) ステータス・レジスタ



4 - 4) 表示データ

表示データ方式は Com.0 の上位 2 ビットで設定します。Com.0 Bit0 = 1 の時、SL0-3 はデコード出力となり、表示も 4 桁となります。

4-4-1) 左値数

表示 RAM の 0 番地が、表示の最も左側に、15 番地 (8 桁時 7 番地、エンコード時 3 番地) が最も右側に対応するように割り付けます。

0 番地からオートインクリメントでデータ入力すると、左端から順に表示していきます。17 番目のデータは左端に戻り、再び右側へ移動していきます。

表示 RAM のアドレスと表示位置とは、1 対 1 対応し、CPU から指定した任意のアドレスにデータを書き込み、読み出しができます。

4-4-2) 右値数

最初の書き込みデータは表示の右端に入り、そこから左の方に表示されていきます。

この方式は、電卓の数字入力表示を模しています。表示 RAM のアドレスは表示位置と直接対応していないため、データ入力の順番等に気をつけなければなりません。

図 4-5 にオートインクリメントでの表示データ書き込み状況を示します。上の 0-F が表示桁論理番号、箱の中の数字は入力桁番号を表します。

4-4-3) 16 桁表示

SL3-0 をデコードして 16 桁分のデータを出力します。標準タイミングで 1 周期 10.24m 秒に、1 桁あたり 640 μ 秒の時間が割り当てられますが、切替え時のブランク時間を差し引くと 490 μ 秒表示データが出力され、約 1/20 のデューティ比となります。

4-4-4) 8 桁表示

SL2-0 をデコードして 8 桁分のデータを出力します。SL3 も 16 桁時と同様に出力するため、デコーダ IC には SL3 を接続してはなりません。

標準タイミングで 1 周期 5.12m 秒に、1 桁あたり 640 μ 秒の時間に、切替え時のブランク時間を差し引くと 490 μ 秒表示データが出力され、約 1/10 のデューティ比となります。

Com.3, Com.4 で表示 RAM をアクセスするとき、A3 の値は無視され、01111000b は 01110000b と同じアドレスを指定することになります。

4-4-5) 4 桁表示

SL3-0 からデコードした信号を出力して、4 桁分のデータを出力します。標準タイミングで 1 周期 2.56m 秒に、1 桁あたり 640 μ 秒の時間に、切替え時のブランク時間を差し引くと、490 μ 秒表示データが出力され、約 1/5 のデューティ比となります。

Com.3, Com.4 で表示 RAM をアクセスするとき、A3, A2 の値は無視されます。

図 4 - 5) 左・右値数入力データ

	左値数																右値数																
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	
1回目	1																															1	
2回目	1	2																													1	2	
3回目	1	2	3																												1	2	3
16回目	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	
17回目	17	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	
Com.4 : 10010101 5 桁目設定																																	
18回目	17	2	3	4	5	18	7	8	9	10	11	12	13	14	15	16	3	4	5	18	7	8	9	10	11	12	13	14	15	16	17	2	
19回目	17	2	3	4	5	18	19	8	9	10	11	12	13	14	15	16	4	5	18	19	8	9	10	11	12	13	14	15	16	17	2	3	

4 - 5) SSK82C79 使用上の注意

SSK82C79は極力オリジナル・デバイスの仕様に合わせましたが、製造プロセス・回路構成の違い、公表されていない隠し機能、当方の勘違い、等々、置き換えてそのまま動かない可能性も有ります。

ユーザー既存の製品に使用するには、実機にSSK82C79を搭載して動作確認をしていただくようお願いいたします。SSK82C79のQFP 44 Pinを既存のDIPパッケージ・パターンに置き換えることのできる、アダプターボードを用意しています。

置き換えて問題になることが有った場合、些細なことでも、弊社に連絡していただくようお願いいたします。問題点やその対応を、できるだけ広く公表して、他のユーザーの便宜をはかりたいと考えています。

4-5-1) 高速プロセスの影響

- ホスト CPU と離している場合

オリジナルの I8279 は 20 年以上前に設計された LSI です。最近まで使用されていたチップは、それより改版されてはいますが、10 年程度前のプロセスで製造されたものです。

SSK82C79 は最新の CMOS プロセスで製造されています。内部ロジック回路は従来のチップの十倍近いスピードで動作します。それは、従来のチップより十倍幅の狭いノイズに対しても、反応して、誤動作を起こす可能性があることを示します。

ホスト CPU と同じ基板上に SSK82C79 を搭載した場合は、まず心配する必要はありません。

ただ、SSK82C79 をホスト CPU と別基板に搭載して、フラットケーブル等で接続している場合、特に WR#, RD# 信号を SSK82C79 のピン位置で再確認してください。

4-5-1-1) 立ち上がり・下がりのリンギング

信号のインピーダンスマッチングが取れていない場合、図 4-6 のように、立ち上がり・下がりに細かいリンギングが出ることがあります。

これは数 n 秒程度の幅で、既存のチップでは無視できたかも知れません。

SSK82C79 は内部回路の工夫で、立ち下がり時の 5 n 秒程度の信号を無視するようにしています。より大きな幅のリンギングがあれば、本来と違うデータがラッチされることとなります。SSK82C79 は、命令データにレジスタ切替えアドレス部を持っているため、違うデータがそのまま残ってしまう可能性が高くなります。

立ち上がり時は同じデータが 2 回読み込まれることになって、問題はなさそうですが、そうはすみません。その時間が内部フリップフロップのセットアップ・ホールドタイムや必要パルス幅を満足していないと、メタステーブル状態となって、入力データと無関係に不定データが記憶され、誤動作の原因となります。

細かいリンギングが出ていると、今たまたま正常に動作していても、いつエラーが出るかわかりません。次のような対策を取り、出ないようにしてください。

- 1) ホスト側からの引き出し線をなるべく短くする。配線の予備を見て長くしている場合は、短くカットしてください。
- 2) 終端抵抗でインピーダンスマッチングを取る。配線と終端のインピーダンスが合うと、信号の反射が起きず、このようなリンギングは無くなります。

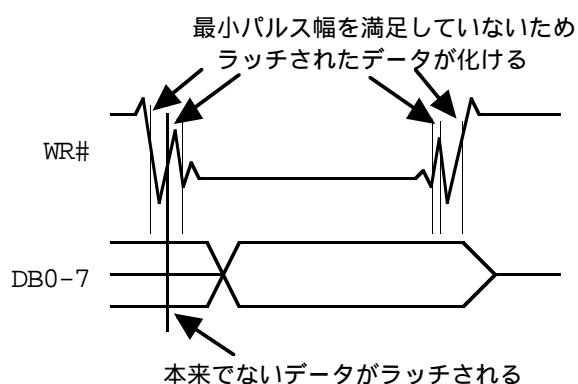
1 本おきにグランドと信号を配置したフラットケーブルのインピーダンスは 100 程度です。SCSI バス用の終端抵抗を置くくと丁度良いでしょう。ただこの方法は 100 負荷を十分駆動できる、ドライブ IC が必要となります。

- 3) コンデンサやフェライトコアでリンギングを取る。上の 2 項目の対策が不可能であったり、対策をとってもリンギングが無くならないとき、コンデンサを入力に接続したり、フェライトコアをケーブルに入れ、波形を鈍らせます。

SSK82C79 は全ての入力をシュミット入力としています。そのため、立ち上げ・下げが単調に出れば、その時間が少々かかっても問題となりません。

データ等、他の信号との時間差が問題になるかも知れません。時間マージンが十分取れていることも確認してください。

図 4-6) リンギングによるエラー



4-5-1-2) 誘導信号

他の信号の誘導にも気をつけてください。

SSK82C79 は WR#, RD#, A0, CS# が全て 0 の時、テストモードになります。

WR#, RD# の立ち下がりが他の信号に誘導して、0 と認識されると、テストモードになります。きちりとテストモードになったらともかく、必要パルス幅を満足していなく、メタステーブル状態となると、どう動くか予想もつかなくなります。

これも、上のリングングをとるのと同様の対策が有効です。

早くいえば、全ての信号が規定の時間関係どおり入っていることを確認すれば良いわけですが、SSK82C79 は既存の I8279 より細いノイズに反応して、誤動作を起こす可能性が高いかもしれない、ということを忘れないで、詳細に波形の検査をしてください。

図 4-7) 誘導によるエラー



4-5-2) RL0-7# の入力レベル

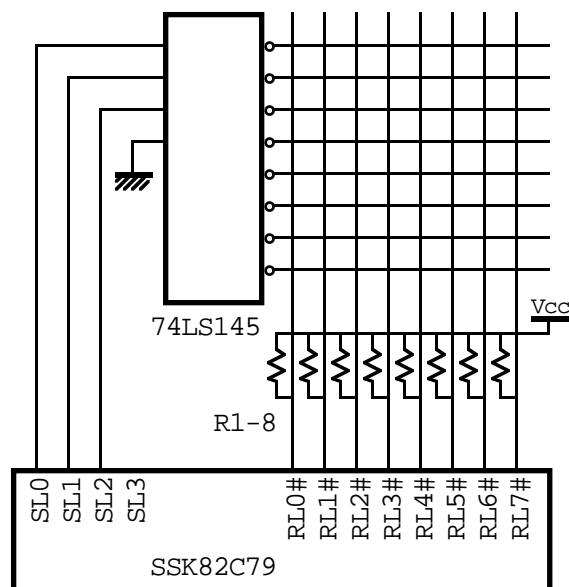
RL0-7# の入力はヒステリシス付きの CMOS レベルとなり、Low から High への移動レベルは最大 4.0V となっています。

通常、SL0-2 をデコードしてキー接点に出力するために、74LS145 等のオープンコレクタ出力 IC を使い、RL0-7# 入力を 5V にプルアップするような使い方をします。この場合、High レベルは 5V になるため、特に問題はなく、ノイズマージンを大きく取ることができます。

何らかの理由で TTL レベル IC で出力したときは、High レベルと認識できないことが起こる可能性があります。キー入力の場合は有り得なさそうですが、ストロープ入力モードでは TTL バッファが繋がる可能性があります。

そのときは、プルアップ抵抗値を小さくしたり、CMOS バッファに取り替えたり、High レベルを 4V 以上になるようにしてください。

図 4-8) キー入力回路例



R1-8 に 3.3K 程度でプルアップすれば、キー OFF 時 RL0-7# 入力はほぼ 5V になる。

4-5-3) Com.2 による FIFO の誤動作

キー入力において、入力 RAM を FIFO として使う、2キーロックアウト・Nキーロールオーバー・ストロープ入力モードで、不用意に Com.2) センサー RAM 読み出しアドレス設定命令を入力すると、余計なデータが読み出されることがあります。

キー入力 RAM を FIFO として動作させるとき、2個の3ビット・バイナリー・カウンタによって制御を行います。1つは入力データを FIFO に書き込む度に1ずつアップする書き込みカウンタ、もう1つは FIFO 内のデータを読み出す度に1ずつアップする読み出しカウンタです。この2つのカウンタの差を取ることで、ステータスレジスタの下位3ビットで示す FIFO 残数となります。この動作を図 4-9 に示します。

読み出しカウンタは、Com.2) センサー RAM 読み出しアドレス設定命令で設定されるレジスターと、共通回路を使っています。

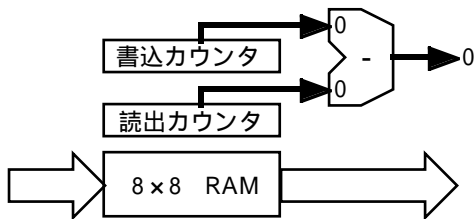
そのため、Com.2) でアドレス 0 を示す 40h or 50h を書き込むと、読み出しカウンタの値が 0 になってしまい、以前読み出し済みのデータを、再び読み出すことになってしまいます。5) 項

通常 FIFO モードの時は、センサー RAM アドレス設定の必要がなく、Com.2) 命令は使う必要がありません。

表示 RAM データを読み出した後、入力 RAM 読み出しモードに戻すときは、Com.2) 50h と共に、Com.6) F クリア命令 C2h を書き込んでください。これで、読み出しカウンタと共に書き込みカウンタもクリアされるため、FIFO は正常に動作を再開します。

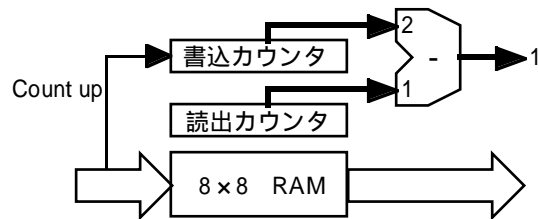
図 4-9) FIFO 誤動作の様子

1) 初期設定



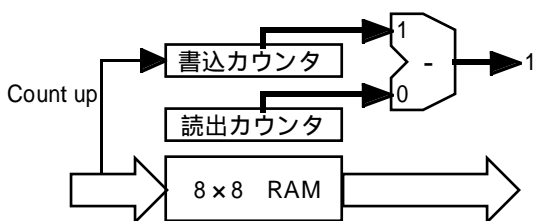
書込・読出カウンタ双方共 0 で FIFO 残 = 0

4) キーデータ書込み



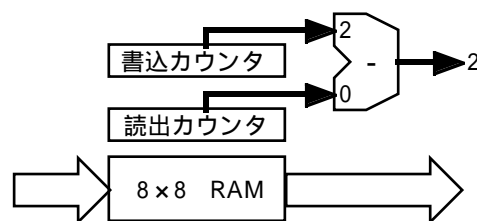
書込カウンタ 2 にカウントアップで FIFO 残 = 1

2) キーデータ書込み



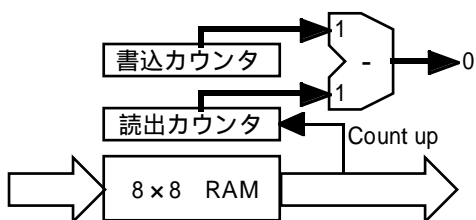
書込カウンタ 1 にカウントアップで FIFO 残 = 1

5) Com.2) 命令 = 50h



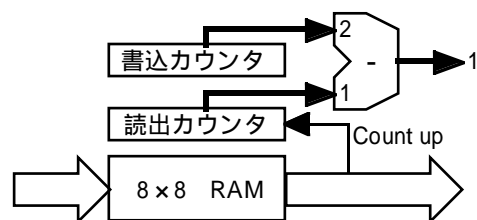
50h 命令で読出カウンタ 0 になり FIFO 残 = 2

3) データ読み出し



読出カウンタ 1 にカウントアップで FIFO 残 = 0

6) データ読み出し



3) と同じデータが読み出され、
読出カウンタ 1 にカウントアップで FIFO 残 = 1

4-5-4) センサー・マトリックス・モード と FIFO ステータスの関係

センサー・マトリックス・モードのセンサー RAM 書込み・読み出しカウンタと、キー入力モードの FIFO は、物理的には同じカウンタを使い、周辺回路にて機能を変えています。

そのため、センサー・マトリックス・モードで動作しても、FIFO ステータスに影響を及ぼしています。

あるユーザーで、2 回に 1 回分のキー入力データを読み落としているようだとのレポートがありました。

動作フローを追いかけたところ、図 4-10 のようなルーチンを取っていました。図のエラーチェックのところで SSK82C79 のステータスデータを 10111000b で AND を取っており、FIFO ステータスが立っていたらそれをクリアして、データを読み込まないプログラムでした。図 4-11 のように、この部分を外したところ、正常動作となりました。

センサー・マトリックス・モードのときは、FIFO ステータスは無視してください。

図 4-10) 動作エラーを起こしたルーチン

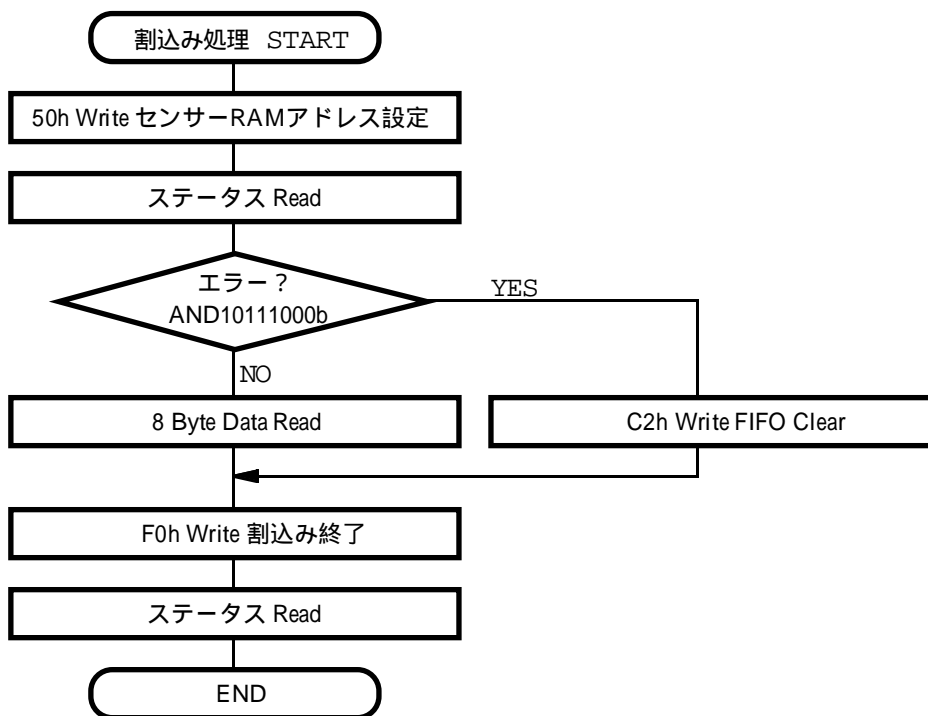


図 4-11) 正常動作ルーチン



第 5 章 電気特性

5 - 1) 最大定格

記号	項目	条件	定格	単位
V _{CC}	電源電圧		- 0.5 ~ +6.5	V
V _{IN}	入力電圧		- 0.5 ~ V _{CC} +0.5	V
V _{OUT}	出力電圧		- 0.5 ~ V _{CC} +0.5	V
PD	許容損失		290	mW
IO	出力電流		20	mA
TA	動作周囲温度		- 40 ~ +85	
Tstg	保存温度		- 65 ~ +150	

5 - 2) DC 電気特性

TA = -40 ~ 85 , VCC = 5V ± 10%, GND = 0V

記号	項目	条件	最小	標準	最大	単位
V _{IL1}	低レベル入力電圧 (RL0-7#)		0	-	0.3V _{CC}	V
V _{IH1}	高レベル入力電圧 (RL0-7#)		0.7V _{CC}	-	V _{CC}	V
V _{P1}	上昇トリガ電圧 (RL0-7#)		1.80	-	4.00	V
V _{N1}	下降トリガ電圧 (RL0-7#)		0.60	-	3.10	V
V _{H1}	ヒステリシス電圧 (RL0-7#)		0.30	-	1.50	V
V _{IL2}	低レベル入力電圧 (その他)		0	-	0.77	V
V _{IH2}	高レベル入力電圧 (その他)		2.29	-	V _{CC}	V
V _{P2}	上昇トリガ電圧 (その他)		1.15	-	2.54	V
V _{N2}	下降トリガ電圧 (その他)		0.59	-	1.85	V
V _{H2}	ヒステリシス電圧 (その他)		0.27	-	1.50	V
V _{OL}	低レベル出力電圧	I _{OL} = 9mA	-	-	0.4	V
V _{OH}	高レベル出力電圧	I _{OL} = - 5mA	-	-	V _{CC} - 0.4	V
I _{L1}	入力リーク電流 (RL0-7#, SHIFT, CNTL)	V _I = GND	-45	- 131	- 320	μA
I _{L2}	入力リーク電流 (その他)	V _I = V _{CC} , GND	-	±10 ⁻⁵	±10	μA
R _{PU}	プルアップ抵抗 (RL0-7#, SHIFT, CNTL)		17.2	38.2	100	K
I _{OFL}	出力リーク電流		-	-	±10	μA
I _{CC}	電源電流		-	-		mA

5 - 3) 入力容量

記号	項目	条件	最小	標準	最大	単位
C _{IN}	入力容量	V _{IN} = 0V	-	-	10	pF
C _{OUT}	出力容量	V _{OUT} = 0V	-	-	10	pF

5 - 4) AC 電気特性

5-4-1) Read Cycle

記号	項目	最小	標準	最大	単位
T _{AR}	A0, CS# Asserted to RD#	0	-	-	ns
T _{RA}	RD# to A0, CS# Negated	0	-	-	ns
T _{RR}	RD# Pulse Width	50	-	-	ns
T _{RD}	RD# to DB0-7 Asserted	-	-	50	ns
T _{AD}	A0, CS# to DB0-7 Asserted	-	-	50	ns
T _{DF}	RD# to DB0-7 Floating	10	-	-	ns
T _{RCY}	Read Cycle Time	100	-	-	ns

5-4-2) Write Cycle

記号	項目	最小	標準	最大	単位
T _{AW}	A0, CS# Asserted to WR#	0	-	-	ns
T _{WA}	WR# to A0, CS# Negated	0	-	-	ns
T _{WW}	WR# Pulse Width	50	-	-	ns
T _{DW}	DB0-7 Asserted to WR#	50	-	-	ns
T _{WD}	WR# to DB0-7 Hold Time	0	-	-	ns
T _{WCY}	Read Cycle Time	100	-	-	ns

5-4-3) Other Timings

記号	項目	最小	標準	最大	単位
T _{pW}	CLK High / Low Pulse Width	40	-	-	ns
T _{cY}	CLK Cycle Time	100	-	-	ns
T _{RES}	Reset High Width	4	-	-	CLK

図 5-1) 読み出しタイミング

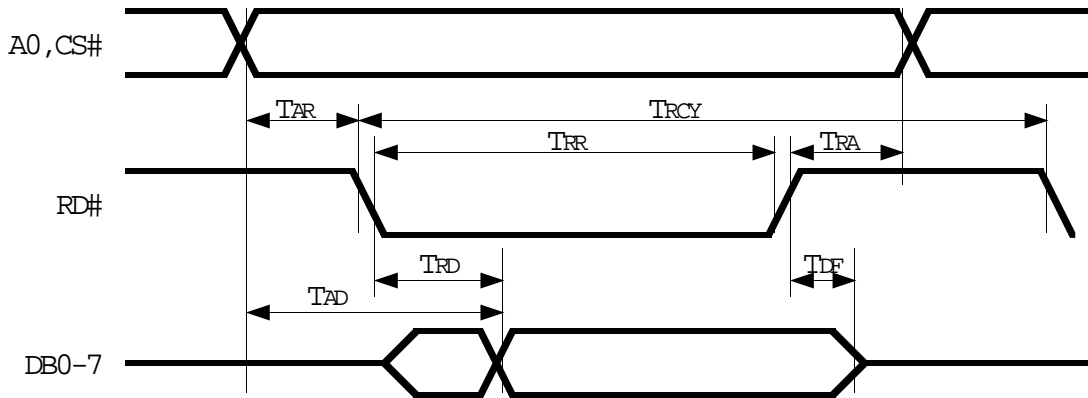


図 5-2) 書き込みタイミング

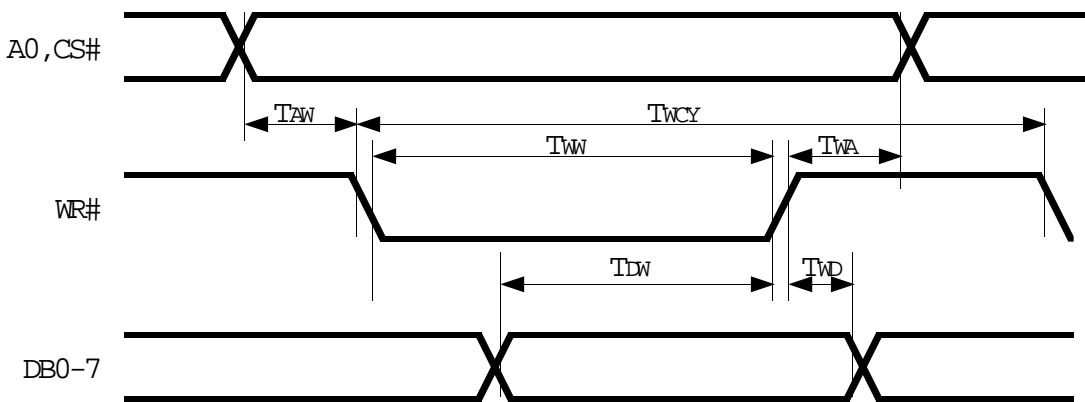


図 5-3) クロック入力

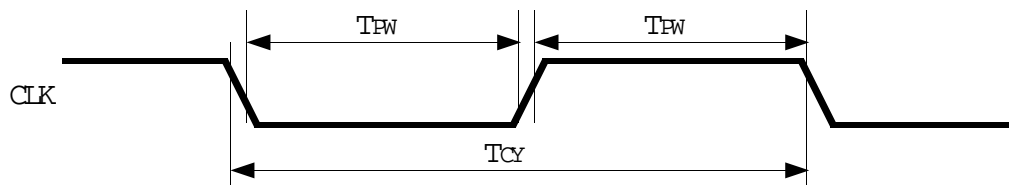
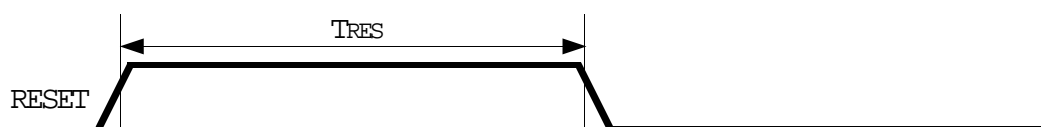


図 5-4) リセット入力



5 - 5) パッケージ外形図及びはんだ付け条件

SSK82C79 は図 5-5) の様に 44 ピンプラスチックフラットパッケージです。基板に半田付けするための推奨パッド寸法は図 5-6) に示します。

半田付けの推奨条件を表 5-5) に示します。部分加熱とは IC のピン部分だけを熱して半田付けを行う方法です。温度管理を正確に行ってください。

最近では生産性を上げるために、クリーム半田を塗布した基板に IC を載せ、基板全体を加熱して半田付けを行う、全体加熱法が取り入れられることが多くなりました。この時は、IC パッケージに進入してくる水分にも気を付けなければなりません。

SSK82C79 は外形寸法が小さいため、室内に裸のまま放置しておくと、室内の湿気を吸収します。それを全体加熱方で半田付けをすると、吸収された水分がパッケージ内で急速に蒸発し、パッケージにひびを入れたり、場合によっては破損してしまったりします。それを防ぐために、次の注意を守ってください。

- 1) メーカーのアルミラミネート製のドライパックに、熱圧着で封入されたものは 1 年以上放置しても問題は有りません。
- 2) ドライパック開封後は、25℃、65% Rh 以下のところに置き、7 日以内にはんだ付けをしてください。
- 3) それ以上外気に触れた場合、125℃ で 10 時間のブリーブクをしてから、はんだ付けしてください。

表 5-5) はんだ付け推奨条件

区分	半田付け方式	推奨条件
部分加熱法	半田ごて	ピーク温度：300 (リード部温度) 時間：10 秒以内
	光ビーム	
	レーザ加熱	
	ホットエア	
全体加熱法	ウェーブ・ソルダリング	ピーク温度：260 (溶融半田温度) 時間：10 秒以内
	赤外線リフロ / 温風リフロ	ピーク温度：230 (パッケージ表面温度) 210 以上の時間：30 秒以内
	ペーパー・フェーズ・リフロ	ピーク温度：215 (パッケージ表面温度) 200 以上の時間：40 秒以内

《本データブックに関する注意》

- 1) 本データブックに記載された内容は、機能・設計・技術等の変更により、予告することなく変更されることがあります。
- 2) ここに記載されている回路例等は説明のために参考として示しているもので、使用に起因する損害、又は特許権その他の権利の侵害に関しては、当社は一切その責任を負いません。

図 5-5) SSK82C79 外形図

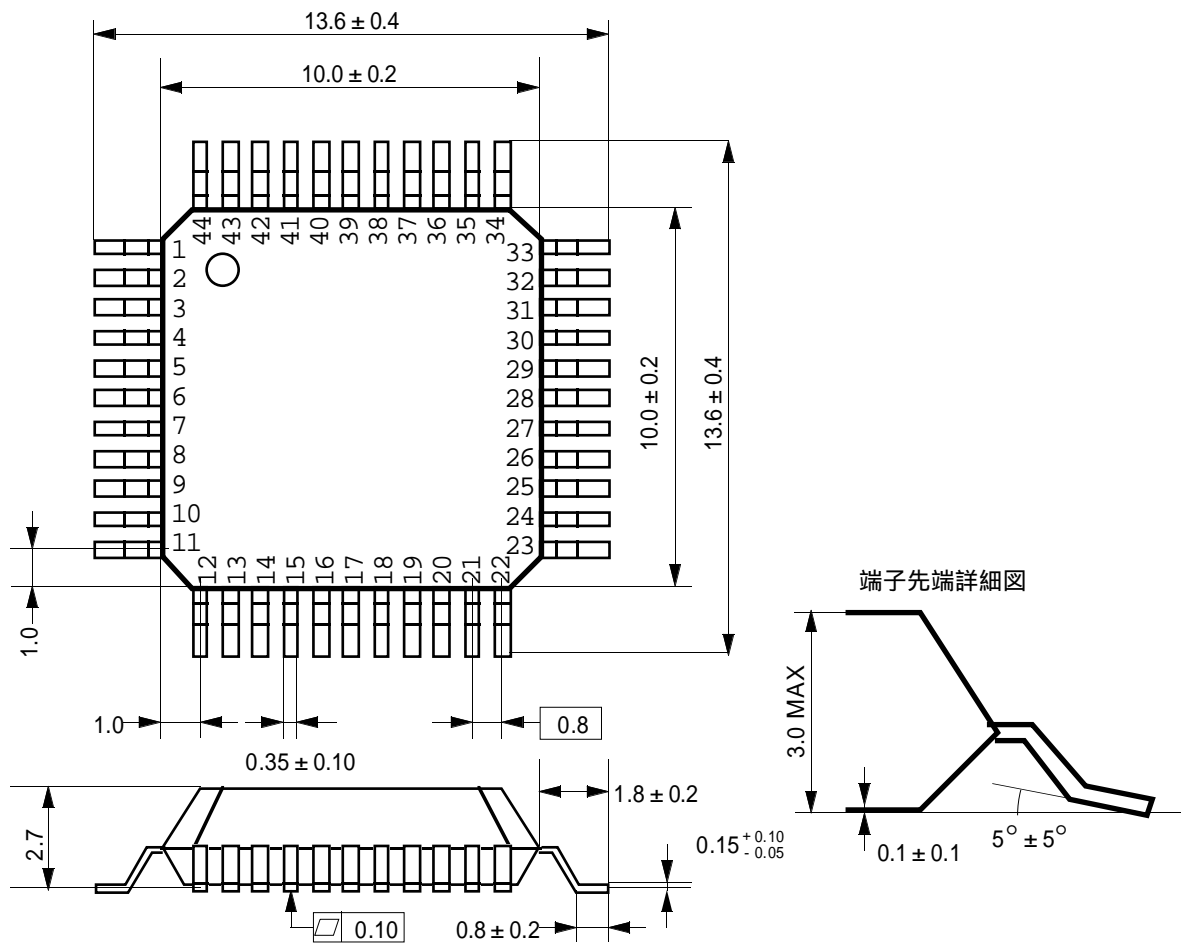
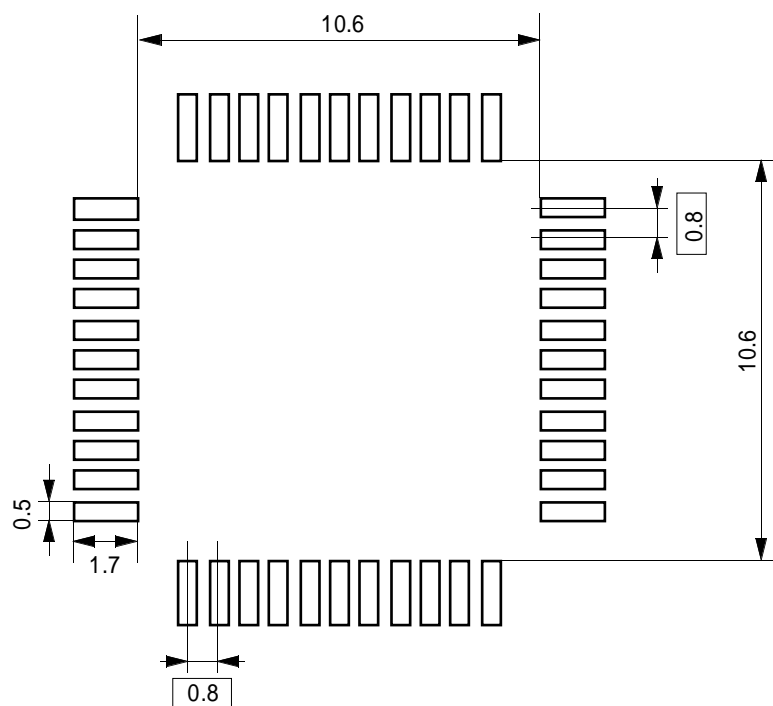
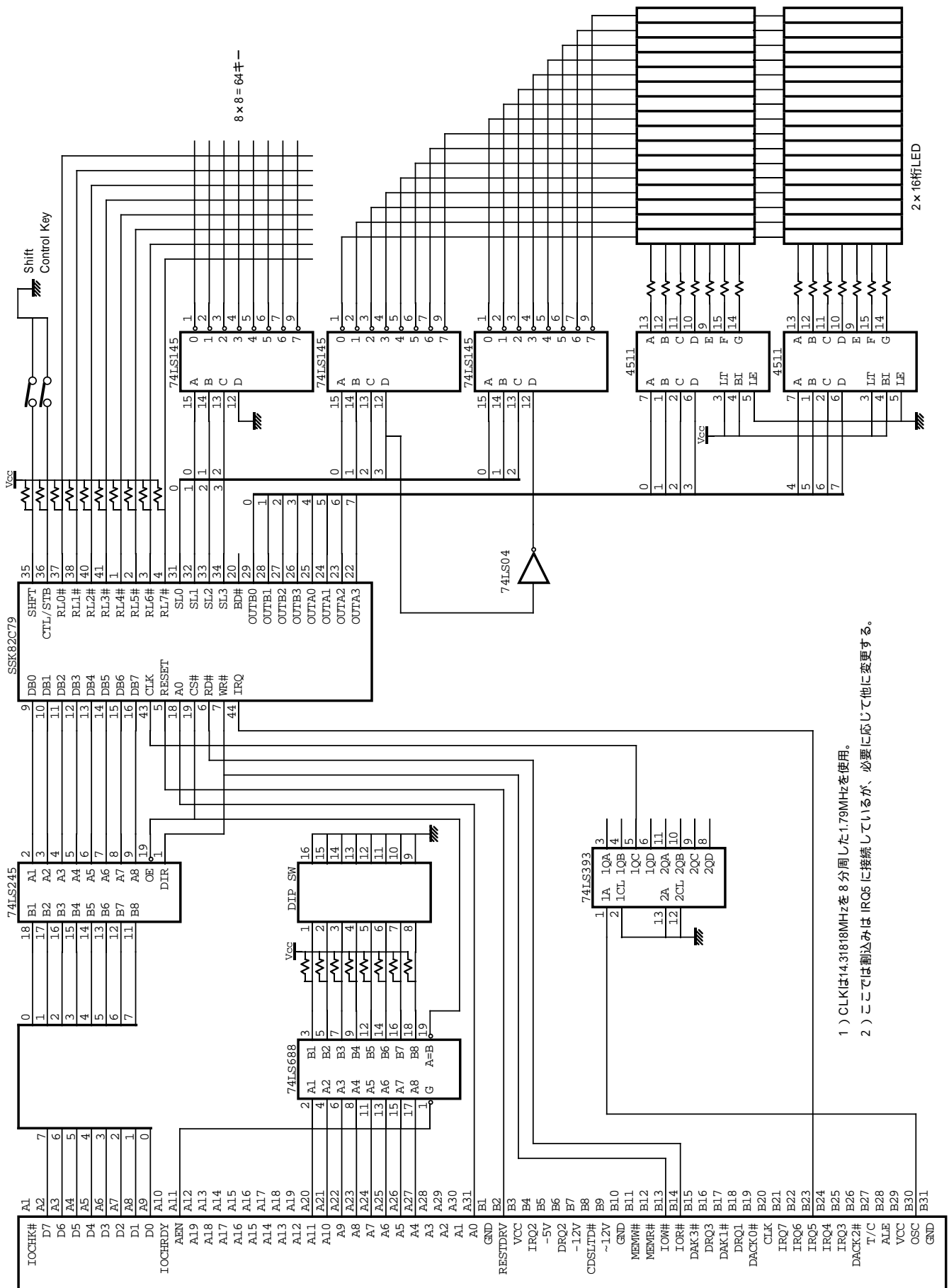


図 5-6) 推薦基板パターン



5 - 6) 回路例 - ISA バス搭載例



- 1) CLKは14.31818MHzを8分周した1.79MHzを使用。
- 2) ここでは割込みはIRQ5に接続しているが、必要に応じて他に変更する。

5 - 6) 鉛フリー製品外形図及び半田付け条件

SSK82C79 は 2009年出荷の物から順次、鉛フリー製品となっていきます。その物には白い丸点で鉛フリーマークが付きます。

外形はピン先端までの寸法が若干小さくなっています。図5-6) 推薦基板パターンはそのまま使えます。

ドライパック開封後、7日以上たった時のベーキングは125℃ 20～72時間としてください。以前の10時間以上より長時間となります。

赤外線リフロ温度は、鉛フリーハンダ対応ということで、以前より高温に耐えられるようになっています。

図 5-8) 赤外線リフロプロファイル

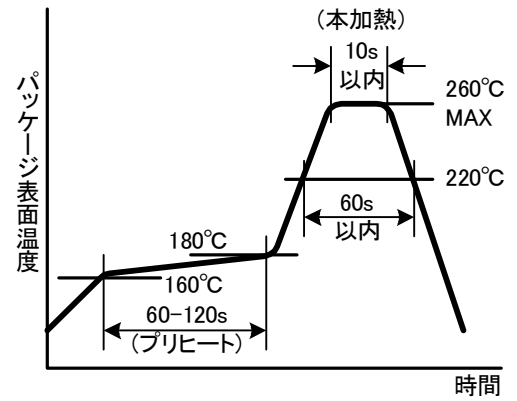


図 5-7) 鉛フリー製品外形図

